

應用於無線通訊之 5.8-GHz 低功率低雜訊放大器

王多柏¹

林宗慶²

¹ 國立臺北科技大學電腦與通訊研究所 tpwang@ntut.edu.tw

² 國立臺北科技大學電腦與通訊研究所 t9418094@ntut.edu.tw

摘要

本論文設計一個應用於無線通訊之 5.8-GHz 低功率低雜訊放大器，架構採用兩級串接放大器(two-stage cascode)。此電路架構中，NMOS 電晶體採用順向基體偏壓技術來降低臨界電壓(Threshold Voltage)，實現低電壓驅動。第一級採用共源極放大器降低整體放大器雜訊，並且在第二級採用共源極放大器結合電壓-電流回授的方式來增加放大器增益以及提高頻寬。此外，此電路使用台積電 0.18- μm CMOS 製程，此低雜訊放大器操作於 0.6V，其整體電路消耗功率只需 2.61 mW。當低雜訊放大器操作於 5.8 GHz 時，小訊號增益(small-signal gain)為 16.63 dB，雜訊指數(noise figure)為 3.7 dB。

關鍵詞：低雜訊放大器、臨界電壓(Threshold Voltage)、電壓-電流回授

1. 簡介

世界暖化效應逐年提升，為了響應環保綠能，綠能產品推陳出新，故現今電子產品設計除了必需擁有卓越的功能之外，還必需講求低功耗、低能源設計。在通訊發達的現今，無線通訊以被人們廣泛的應用，而在無線收發機系統中，更需要採用低功率設計來增強其電池供電時間以及壽命。另外，亦可提高系統的可攜性以及降低產品成本，無線通訊系統目前皆以全積體化的製作方向前進，其中以具低成本與低功耗特性的 CMOS 製程最為目前所廣泛使用，且隨著 CMOS 製程技術的演進，使其操作頻率得以提昇至數十 GHz，並以應用於高頻電路設計。

2009 年發布的 IEEE 802.11p 為 IEEE 802.11 標準所擴充的通訊協定，以車用電子的無線通訊為主，其目的是以符合智慧型運輸系統。用於智慧型車輛與車輛之間的短距通訊以操作於 5.85 至 5.925 千兆赫波段。本論文為了達到搭配於車用無線通訊之低功率目的，採用順向基體偏壓的方式來降低操作電壓(supply voltage)，以達到低直流功率損耗(low dc-power consumption)的目標，此低雜訊放大器(Low noise amplifier)採用兩級共源極串接放大器的架構，在第一級以較低雜訊的共源極放大器降低其整體雜訊，並提供一個適當的增益，並且在第二級共源極放大器結合電壓-電流回授，使其放大器整體頻寬提高，並且得到一個平坦的增益，在被動元件的部分，使用三維電感以立體結構向下延伸大幅度降低製作在晶片上的大電感面積，以降低整體晶片面積。

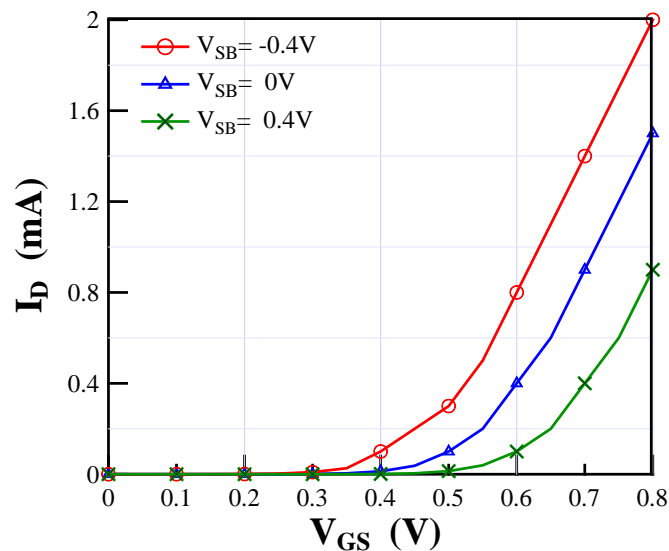
2. 架構簡介

2.1 順向基體偏壓(Forward-Body Bias, FBB)

在CMOS 電路系統中，操作電壓的大小最為直觀的參數即為臨界電壓(V_t)，由於基體效應的關係，使得在設計電路時必需針對臨界電壓的變化做其評估考量，式(1)為其基體效應對臨界電壓所造成影響的關係式(王多柏、黎忠錦、呂宥甫、江政育，2010)、(B. Razavi, 2001)。

$$V_t = V_{t0} + \gamma[\sqrt{|2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|}] \quad (1)$$

其 V_{t0} 為電晶體的源極-基體(V_{SB})間的偏壓為0 時的臨界電壓值， γ 為基板效應係數通常為0.3 至0.4 之間， Φ_F 為製程參數。由於電晶體的基體效應關係，故當MOS 的基體(Body) 在接上不同的偏壓時會造成MOSFET 臨界電壓的改變，如圖一所示，當電晶體無基體效應時($V_{SB}= 0$ V)時，臨界電壓約為0.4 V，然而在發生基體效應($V_{SB}= 0.4$ V)時，由圖示中即可得臨界電壓上升至約0.5 V，使得電晶體需要較高的操作電壓才可產生通道，故為了消除基體效應並降低臨界電壓，在電晶體的源極與基體的NP 接面上外接一順向偏壓($V_{SB}= -0.4$ V)，由式(1)中可得其臨界電壓會比無基體效應時還要來的低，同樣的由模擬結果圖一中可得知，臨界電壓可以下降至約0.3 V，因此電晶體在外加 $V_{SB}= -0.4$ V 偏壓下即可正常導通工作，以達到低操作電壓的目標(王多柏、黎忠錦、呂宥甫、江政育，2010)。

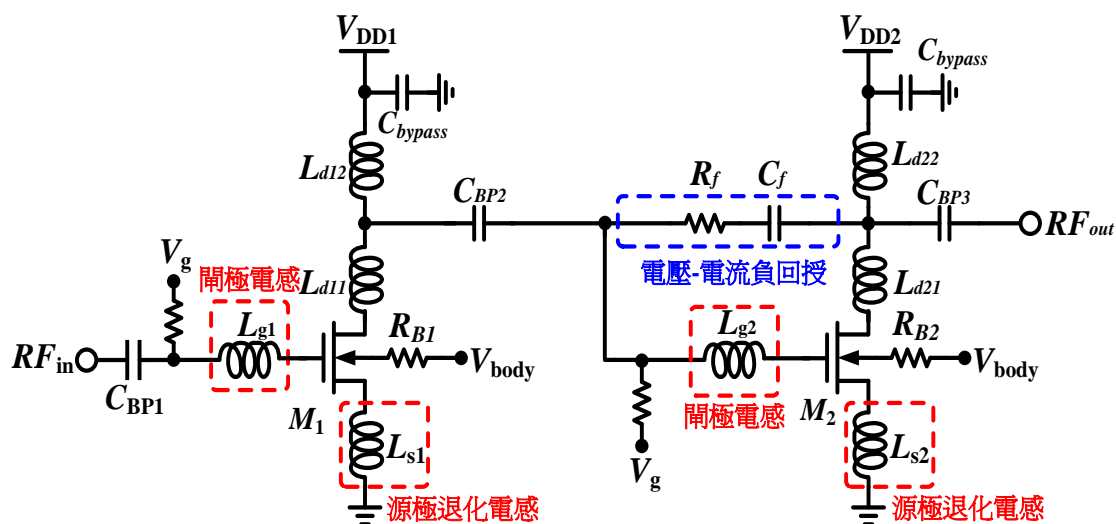


圖一：NMOS 電晶體 I-V 特性曲線[1]

2.2 串接放大器 (Cascade Amplifier)

圖二為本論文電路架構採用兩級共源極放大器串接，由於第一級影響放大器雜訊指數甚大，因此，於前級設計一雜訊指數較低的共源極放大器，以降低整體電路的雜訊指

數，並於閘極端與源極端連結一閘極電感與源極退化電感作為輸入匹配並以提高輸入阻抗，然而使用源極退化電感作為匹配電路，優點為將其轉換為一個實際的阻抗，以達到提高穩定度以及輸入阻抗的效果，使用源極退化電感，將不容易引入額外的雜訊源，但是當電感選擇過大時，其寄生電阻可能過大造成過大的熱雜訊產生，因此在匹配與雜訊之間必須做適當的抉擇(H. Y. Tsui, J. Lau, 2008)。



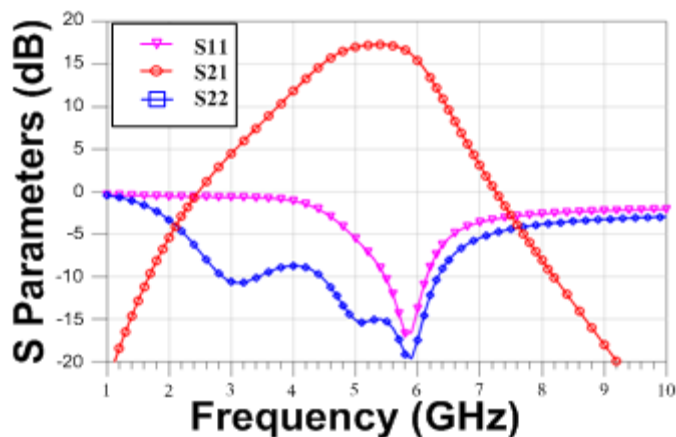
圖二: 5.8 GHz 低雜訊放大器示意圖

2.3 低功率低雜訊放大器

本論文低雜訊放大器採用兩級共源極放大器串接，並且採用源極退化電感，使其放大器具有較佳的雜訊指數。在共源極閘極端加入閘極電感，得到較佳的輸入阻抗。架構設計中於後級共源極放大器之閘極端與汲極端加入一個電阻作為負回授，形成電壓-電流負回授，進而達到增加整體放大器頻寬效果。為了達到設計一低功率操作的低雜訊放大器，在架構中加入順向基體偏壓0.4 V，降低電晶體臨界電壓，配合電晶體寬度的選用，並將放大器操作於0.6 V，整體功率消耗降在2.6 mW。

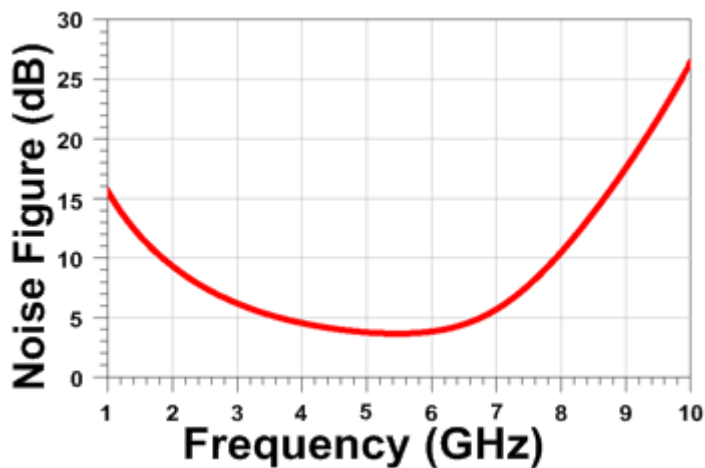
3. 模擬結果

本論文之低雜訊放大器使用台積電0.18- μm Mixed Signal RF CMOS 製程技術設計。在此論文的電路模擬是採用Agilent 公司所提供的ADS(Advanced Design System)軟體所模擬，並使用Sonnet 電磁模擬軟體來模擬電路之被動元件與元件間的走線。此低雜訊放大器的操作電壓為 $V_{DD}=0.6\text{ V}$ ，其放大器的偏壓電流第一級為2.07 mA;第二級為2.28 mA，放大器電路功率損耗只需2.61 mW。圖三為低雜訊放大器輸入輸出匹配，S11 及 S22 均到達-15 dB，其S21 放大器增益亦達到16.63 dB。

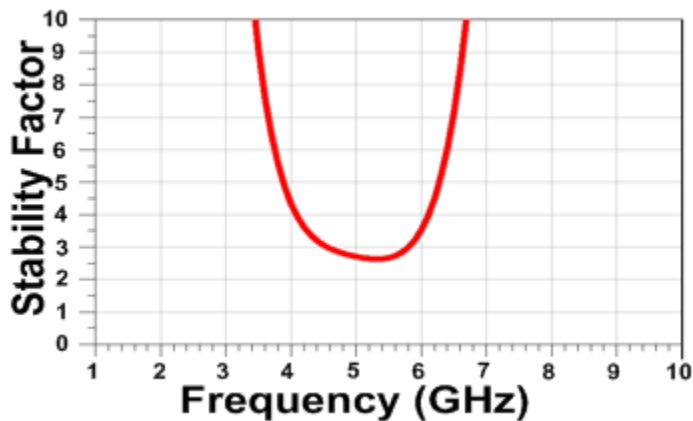


圖三：低雜訊放大器之 S 參數

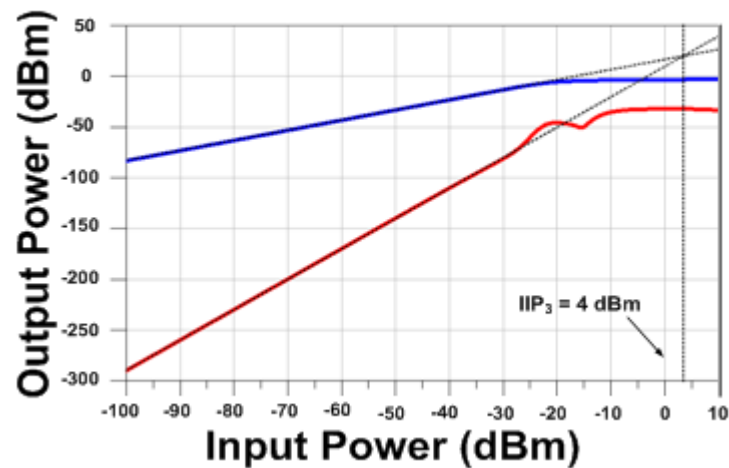
圖四為此低雜訊放大器雜訊指數，最低可以達到3.7 dB。圖五為放大器穩定度，操作於全頻段穩定；圖六為放大器輸入三階截止功率(IIP3)，其值為4 dB。表一為本論文與參考文獻之效能比較，由表中可知本架構具有較低操作電壓與功率損耗。



圖四：低雜訊放大器之雜訊指數



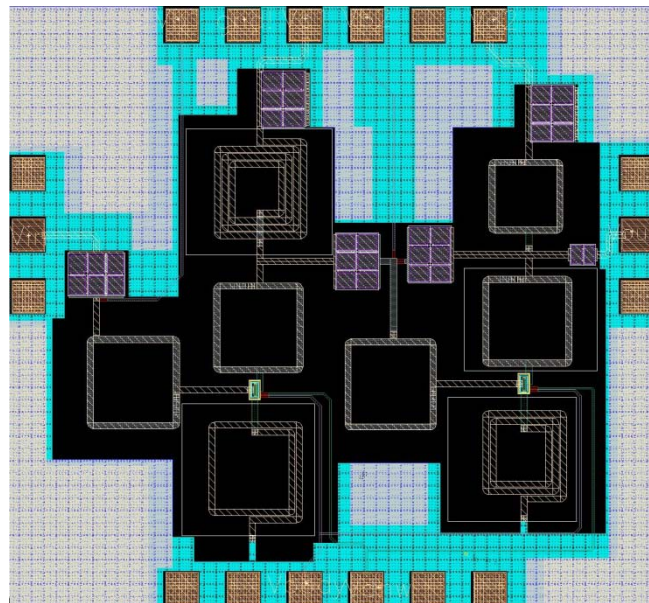
圖五：低雜訊放大器之穩定度



圖六：低雜訊放大器之輸入三階截止功率(IIP₃)

4. 電路晶片佈局

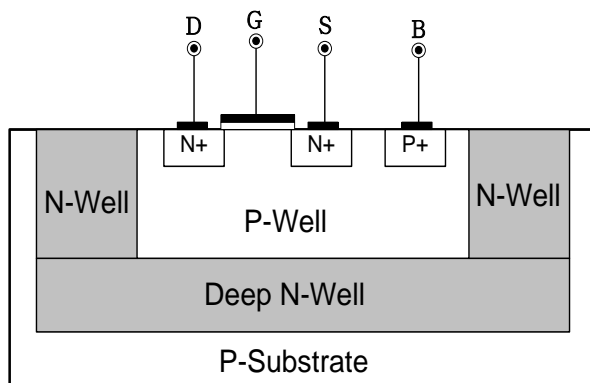
圖七為此低雜訊放大器的電路晶片佈局，整體面積為1.050 mm x 0.978 mm，此電路符合台積電0.18- μm Mixed Signal RF CMOS 製程技術佈局規範，此製程提供1P6M 的多層佈局並具有2 μm 的第六層金屬厚度。



圖七：晶片佈局圖 (面積 1.050 x 0.978 mm²)

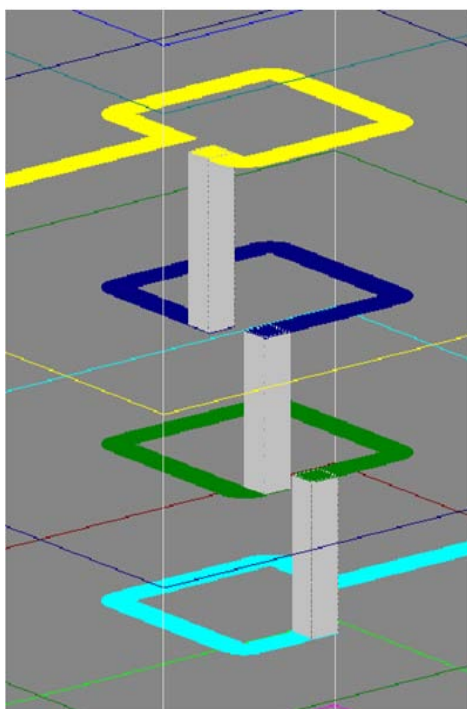
在此製程技術中的NMOS 電晶體具有Triple-well 的佈局結構，如圖八所示(王多柏、黎忠錦、呂宥甫、江政育, 2010)，在NMOS 電晶體的 P-Well 與P 型基板(Substrate) 間，加入Deep N-Well，使得電晶體不易受到基板(Substrate)的雜訊干擾。另外，本電路可在NMOS 電晶體的基體外加順向偏壓，以降低NMOS電晶體的臨界電壓，達到較低的

消耗功率。



圖八：TSMC 0.18- μm NMOS Triple-Well 剖面圖[1、4]

晶片佈局包含之圖九所示的三維電感設計，而三維電感必需在5.8 GHz 時，達成良好的品質因子，以降低被動元件的寄生電阻產生的損耗，同時亦可縮小晶片面積，其電感佈局如圖八所示，以節省整體晶片面積。



圖九：三維電感[1]

表一為本論文與參考文獻之效能比較，由表中可知本架構可以達到高增益 (Gain)，低雜訊指數(NF)、好的輸入三階截止功率(IIP3)、低操作電壓與功率損耗(P_{DC})。

表一: 5.8 GHz LNA 效能比較表

Process	Frequency (GHz)	Gain (dB)	NF (dB)	IIP3 (dBm)	P _{DC} (mW)	Supply Voltage (V)	Ref.
0.18- μ m CMOS	5.7	16.4	3.5	NA	3.2	1.0	[3] EL'05
0.18- μ m CMOS	5.2	10.0	3.37	-8.6	1.08	0.6	[4] TMTT'08
0.18- μ m CMOS	5.0	9.2	4.5	-15	0.9	0.6	[5] RFIC'05
0.18- μ m CMOS	5.85	21.4	4.4	-18.5	16.2	1.8	[6] RFIC'03
0.18- μ m CMOS	5.8	13.2	2.5	-1	22.2	1.0	[7] CDS'02
0.18-μm CMOS	5.8	16.63	3.7	4	2.61	0.6	This Work

5. 結論

本電路使用台積電0.18- μ m Mixed Signal RF CMOS製程設計具低功耗低電壓操作低雜訊放大器，以順向基體偏壓來降低整體放大器的操作電壓。使用源極退化電感可以第一級穩定度提升並得到較低的雜訊指數，並利用電壓-電流回授來增加整體頻寬。被動元件採用三維電感改善大電感面積，根據表一結果，得知本論文設計的低雜訊放大器可以達到較低操作電壓與功率損耗，整體的放大增益亦可維持在較佳的範圍感改善大電感面積，根據表一結果，得知本論文設計的低雜訊放大器可以達到較低操作電壓與功率損耗，整體的放大增益亦可維持在較佳的範圍。

誌謝

感謝財團法人國家實驗研究院國家晶片系統設計中心(National Chip Implementation Center, CIC)，提供之晶片下線製作機會，以及相關的軟體以完成本論文之研究。並且感謝國科會贊助本研究，計畫編號 NSC 99-2622-E-027-031-CC3, NSC 100-2119-M-027-001, NSC100-2221-E-027-091。

參考文獻

1. 王多柏、黎忠錦、呂宥甫、江政育, Dec. 3-4, 2010, "12-GHz CMOS 超低功率雙共振腔之壓控振盪器," 桃園, 臺灣, 2010 全國電信研討會。
2. B. Razavi, *Design of Analog CMOS Integrated Circuits*. New York: McGraw-Hill, 2001.
3. Y. S. Wang and L. H. Lu, "5.7 GHz low-power variable-gain LNA in 0.18 μ m CMOS"

Electronics Letters, vol. 41, pp. 66 -68, Jan. 2005.

4. H. H. Hsieh, J. H. Wang, and L. H. Lu, "Gain-enhancement techniques for CMOS folded cascode LNA at low-voltage operations" *IEEE Trans. Microw. Theory Tech.*, vol. 56, no. 8, Aug. 2008.
5. H. H. Hsieh and L. H. Lu, "A CMOS 5-GHz micro-power LNA" in *IEEE Radio Frequency Integrated Circuits (RFIC) Symp. Dig.*, Jun. 2005, pp. 31–34.
6. M. K. Raja, T. T. C. Boon, K. N. Kumar, and W. S. Jau, "A fully integrated variable gain 5.75-GHz LNA with on chip active balun for WLAN" in *IEEE Radio Frequency Integrated Circuits (RFIC) Symp. Dig.*, Jun. 2003, pp. 439–442.
7. M. N. El-Gamal, K. H. Lee, and T. K. Tsang "Very low-voltage (0.8 V) CMOS receiver frontend for 5 GHz RF applications" *IEE Proceedings Circuits, Devices & Systems*, vol. 149, no. 5, Oct. 2002.